Conception et optimisation d'un nouveau Chien bloc de recherche pour les codes BCH

M.Elghayyaty et A.hadjoudja, O.Mouhib et C.ElMahjoub , A.El Habti

Résumé— Cet article présente une nouvelle méthode de code BCH (Bose – Chaudhuri-Hocquenghem) utilisée dans les systèmes de communication et les stockages de données, plus précisément dans la radiodiffusion vidéo numérique DVB. La principale caractéristique de cette méthode consiste à introduire une factorisation du bloc de Chien de recherche. Cette factorisation nous permet de minimiser le nombre de portes logiques et de réduire la consommation d'énergie. La conception de Chien recherche a été crée le langage de description matérielle VHDL et simulé à l'aide du logiciel Quartus.

Mots-clés— Code BCH; Champ de Galois; Bloc de Chien de recherche; Calcule du syndrome; VHDL.

1 Introduction

Les codes BCH (Bose – Chaudhuri, Hocquenghem) [1] sont un sous-ensemble des codes cycliques. Ces codes sont construits à partir d'un polynôme défini en spécifiant ses zéros (ses racines). Ces codes définissent une méthode systématique de construction de codes cycliques capables de corriger un nombre T d'erreurs fixées arbitrairement dans un bloc de N bits. Les codes BCH utilisent la théorie de Galois. L'objectif de ce travail est de réduire un grand nombre de composants en utilisant une nouvelle conception du bloc Chien de recherche. en comparaison du circuit de base et du circuit modifié pour les codes BCH

2 Algorithme du bloc Chien Search

Cet algorithme peut détecter la position d'erreur en calculant Λ (α-i) avec 0 ≤ i ≤ n-1, tel que (x) est le polynôme de localisateur d'erreur, précédemment calculé avec l'algorithme d'Euclidien. Pour le cas de BCH (n, k), nous devons calculer: Si l'expression est réduite à 0 Λ (α-i) = 0, alors la valeur de x est une racine et identifie la position d'erreur sinon la position ne contient pas d'erreur.

2.1. Proposition de l'algorithme pour Chien de recherche :

L'algorithme proposé est basé sur une factorisation du polynôme localisateur d'erreur tel que (x^n, avec n ≥ 2) ne doit pas être apparus dans ce polynôme, par conséquent nous pouvons concevoir un autre circuit du Bloc Chien Search i.e. nous pouvons minimiser un nombre important de portes logiques, ce qui permet de réduire la consommation d'énergie en comparaison avec le circuit de base. Pour le cas du code RS (15, 11), le polynôme localisateur d'erreur est donné par:

$$A(x) = 14x^2 + 14x + 1 \qquad (1)$$

Polynôme de degré 2 de type :

$$\Lambda(x) = A_2X^2+A_1X+A_0 = (AX+B)(AX+C) \qquad (2)$$

L'équation (2) peut être écrite sous la forme:

$$\Lambda(x) = (\alpha X+\beta)(\alpha X+\gamma)$$
$$= \alpha 2X2 + \alpha X\gamma + \alpha X\beta + \beta\gamma$$
$$= \alpha 2X2 + \alpha(\gamma+\beta)X + \beta\gamma \qquad (3)$$

A2 = α2 ,A1 = α(γ+β) and A0= βγ

Le circuit de base de Chien de recherche correspondant à l'équation (1) est représenté à la figure 1

Le circuit modifier de Chien de recherche correspondant à l'équation (2) est représenté à la figure 2

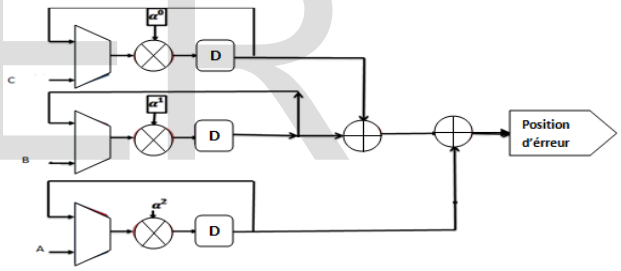

Figure 1. Schéma de base de Chien recherché.

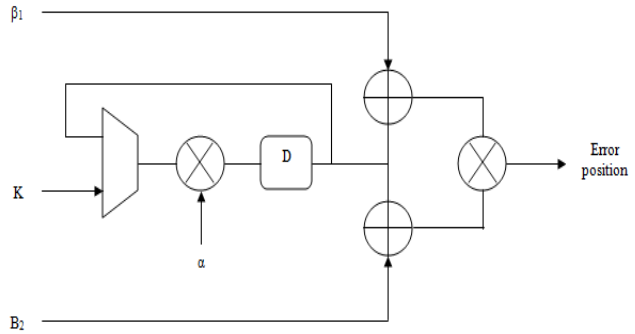

Figure 2. Circuit modifié de Chien recherche.

La simulation du Circuit de base de Chien Search pour un polynôme de degré 2 est représentée dans la figure 3.

IJSER

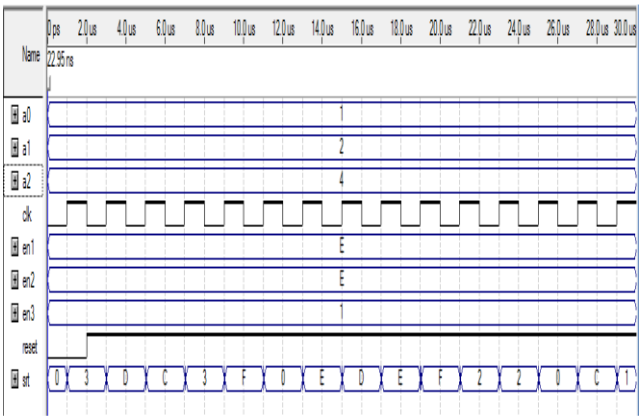

Figure3. La simulation du Circuit de base de Chien de recherche avec logiciel Quartus II.

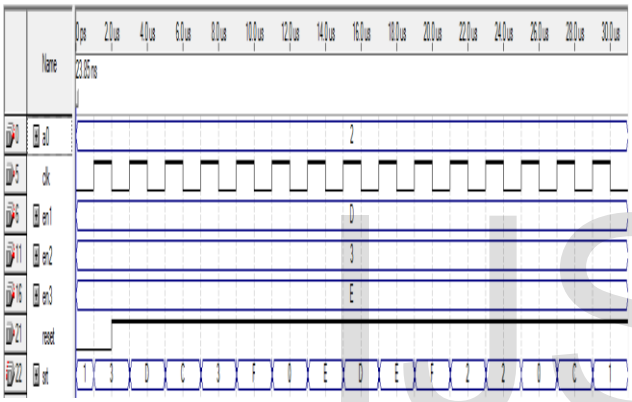

Figure4. Simulation du Circuit modifié de Chien de recherche avec logicel Quartus II.

3. CONCLUSION

Un algorithme simplifié de Chien de recherche pour les codes BCH a été présenté dans cet article. Cet algorithme est basé sur une simple factorisation afin de réduire le nombre de portes logiques minimisées. Cette minimisation réduit la consommation d'énergie avec un pourcentage pouvant atteindre 50% par rapport à l'algorithme de base. L'algorithme proposé a été généré et simulé à l'aide du VHDL Hardware Description Language et des outils logiciels Quartus.

REFERENCES

[1]P. Mathew, L. Augustine, Sabarinath Gand T. Devis, Hardware Implementation Of (63, 51) Bch Encoder And Decoder For Wban
Using Lfsr And Bma,International Journal on Information Theory,3(3), 2014, 1–11
[2] M. Prashanthi, P. Samundiswary, International Journal of Engineering Trends and Technology, 10(13), 2014, 616–620.
[3] Y.Lee,H. YooAnd Ic.Park, Small-Area Parallel Syndrome Calculation For Strong Bch Decoding,IeeeXplore,2014,1609-1612
[4] BBCResearchandDevelopment,Reed-Solomonerror correction, British Broadcasting Corporation, 2002.
[3] Jean-yves chouinard, théorie et pratique des codes correcteurs, janvier 2013
[5] R.Huynh, G. Ning and Y. Huazhung, A Low Power Error detection in the syndrome calculator Block for Reed-Solomon codes RS: (208,188), J. Tsinghua Science and Technologie, 14(4), 2009, 474-477.
[6] VJ.Babrekar, SV. Sakhare, Review of FPGA Implementation of Reed-Solomon Encoder- Decoder, International Journal of Computer Applications, 87(8), 2014, 16–19.
[7] A.El habti, R. Elgouri and L. Hlou, A low power error detection in the chien search block for reed-solomon code, university of science kenitra, 2012.
[8] J. Allen, Energy efficient adaptive Reed-Solomon decoding System,university of Massachusetts Amherst in partial fulfillment of the requirements for the degree of master of science in electrical and computer engineering,2008.
[9] P.Beelen, K. Brander, "List decoding of Reed–Solomon codes from a Gr¨obner basis perspective,"J. Journal of symbolic computation, vol. 45, pp. 773-786, January 2008.

IJSER